

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08062577 A**

(43) Date of publication of application: **08.03.96**

(51) Int. Cl

**G02F 1/133**

(21) Application number: **06198178**

(22) Date of filing: **23.08.94**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **SATO HIDEO  
NAGATA TETSUYA  
HOSHINO MINORU  
YAMAMOTO TSUNENORI  
HIROTA SHOICHI**

(54) **LIQUID CRYSTAL LIGHT VALVE AND  
PROJECTION DISPLAY USING IT**

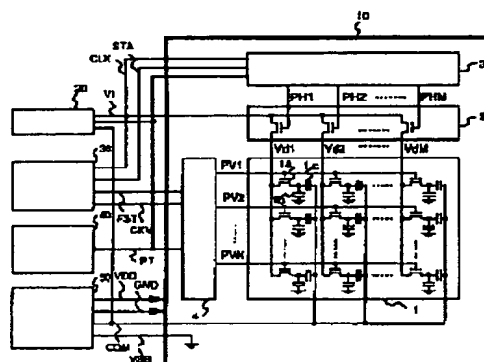
respective transistors.

COPYRIGHT: (C)1996,JPO

(57) Abstract:

**PURPOSE:** To provide a liquid crystal light valve for projection display with high quality and high reliability by eliminating the impression of a DC voltage to a liquid crystal and eliminating the occurrence of latch-up even when power source is turned on or off.

**CONSTITUTION:** This valve is constituted of a scan signal line connected to a gate electrode of a MOS transistor 1a arranged in matrix in a pixel circuit 1, an image signal line connected to the drain electrode of the MOS transistor, a vertical scanning circuit 4 controlling the scan signal line, a horizontal scanning circuit 3 and a sample circuit 2 controlling the image signal line, a power source control circuit 40 detecting a state of the power source and a video amplifier circuit 20 controlling a video signal. The power source control circuit 40 detects a power source transient state, and it turns on all transistors in the pixel circuit 1 and the sample circuit 2 at the time, and the voltage equal to the common electrode is supplied to the inputs of



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-62577

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.<sup>8</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数9 O L (全 7 頁)

(21) 出願番号 特願平6-198178

(22) 出願日 平成6年(1994)8月23日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 永田 徹也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 星野 稔

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

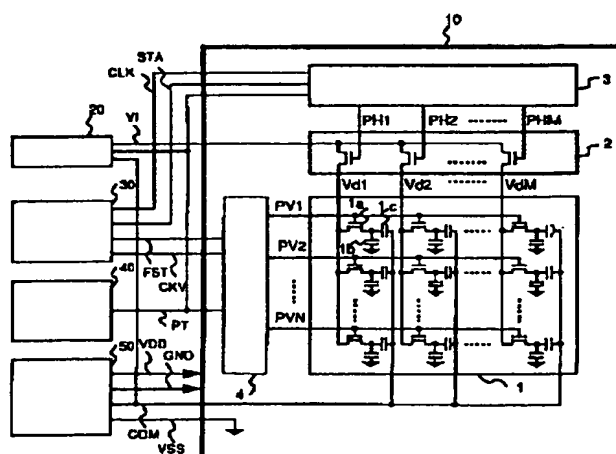
(54) 【発明の名称】 液晶ライトバルブおよびそれを用いた投射型ディスプレイ

(57) 【要約】

【目的】 電源の投入または切断時においても液晶に直流電圧の印加をなくすこととラッチアップの発生をなくすことで、高品質で信頼性の高い投射型ディスプレイ用液晶ライトバルブを提供する。

【構成】 マトリクス状に配置している画素回路1のMOSトランジスタ1aのゲート電極に接続する走査信号線、MOSトランジスタのドレイン電極に接続する画像信号線、走査信号線を制御する垂直走査回路4、画像信号線を制御する水平走査回路3とサンプル回路2、電源の状態を検出する電源制御回路40、映像信号を制御する映像増幅回路20で構成した。電源制御回路40では電源過渡状態を検出し、このとき画素回路1とサンプル回路2の全トランジスタをオン状態し、各トランジスタの入力には共通電極を等しい電圧を供給するようにした。

図 1



1…画素回路 1a…MOSトランジスタ 1b…保持容量  
1c…液晶容量 2…サンプル回路 3…水平走査回路  
4…垂直走査回路 10…液晶ライトバルブ 20…映像増幅回路  
30…制御回路 40…電源制御回路 50…電源回路

## 【特許請求の範囲】

【請求項 1】スイッチング素子と保持容量と画素電極で構成する画素回路、前記画素回路を集積回路基板にマトリクス状に配置した集積回路チップ、前記集積回路チップと対向電極の間に液晶を充填した液晶ライトバルブにおいて、

電源の投入又は切断の過渡状態を示す第一の手段、マトリクス状に配置したスイッチング素子を全てオン状態にする第二の手段、スイッチング素子の入力電圧に対向電極の電圧と等しい電圧を供給する第三の手段によって構成することを特徴とする液晶ライトバルブ。

【請求項 2】請求項 1 において、前記スイッチング素子に MOS トランジスタを、前記保持容量に MOS 容量を用いた液晶ライトバルブ。

【請求項 3】請求項 1 において、前記第一の手段が電源電圧値から電源の過渡状態を検出している液晶ライトバルブ。

【請求項 4】請求項 1 において、前記第一の手段がタイマ回路によって発生する液晶ライトバルブ。

【請求項 5】請求項 1 において、前記第二の手段がスイッチング素子のゲートおよびドレインを制御するシフトレジスタ回路の入力または出力で制御する液晶ライトバルブ。

【請求項 6】請求項 1 において、前記第三の手段がスイッチング素子のドレインに印加する電圧をアナログスイッチで制御する液晶ライトバルブ。

【請求項 7】スイッチング素子、保持容量、画素電極で構成する画素回路、前記画素回路を集積回路基板にマトリクス状に配置した集積回路チップ、前記集積回路チップと対向電極の間に液晶を実装した液晶ライトバルブにおいて、前記スイッチング素子に画像信号に応じた信号を供給する水平走査回路と前記スイッチング素子にスイッチングのタイミングを供給する垂直走査回路を前記集積回路チップ上に構成したことを特徴とする液晶ライトバルブ。

【請求項 8】請求項 7 において、該集積回路チップを高耐圧と低耐圧の 2 種類の CMOS トランジスタで構成したことを特徴とする液晶ライトバルブ。

【請求項 9】請求項 1, 2, 3, 4, 5, 6, 7 または 8 に液晶ライトバルブを用いた投射型ディスプレイ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電圧の振幅値で光の強さを制御する液晶ディスプレイに係り、特に、投射型ディスプレイに好適な液晶ライトバルブおよびそれを用いた投射型ディスプレイに関する。

## 【0002】

【従来の技術】マトリクス状に配置されたスイッチング素子で液晶に印加する電圧を制御して画像を表示するア

クティブ・マトリクス方式の液晶ディスプレイでは、電源を投入または切断するときでも液晶に印加される直流電圧成分がゼロであることと、スイッチング素子を構成している液晶表示部とそれを駆動する駆動回路ともにラッチアップなどで破壊しないようにすることが重要な課題である。この課題に対応するため、SID 93 DIGEST PP. 684-688 (エスアイデー 93 ダイジェスト ページ 684-688) では電源投入および切断時の電源電圧波形、電源と各制御信号の電源投入および切断のタイミングを規定する方法が記載されている。

【0003】アクティブ・マトリクス方式の液晶ディスプレイにおいて、液晶は各スイッチング素子に接続した画素電極と、画素電極に対向した共通電極の間に充填されている。画素電極にはスイッチング素子を通して交流電圧が、共通電極には一定電圧が印加される。共通電極の電圧は、電源電圧の安定状態で液晶に印加される直流電圧成分がゼロになるように設定する。しかし、電源の投入または切断の過渡状態では、画素電極の直流電圧成分は、スイッチング素子部の寄生容量や駆動回路の特性で、電源電圧に比例しない。このため、画素電極と共通電極の電圧に差が生じ、液晶に直流電圧が印加される。

【0004】一方、ラッチアップは半導体集積回路の寄生サイリスタがオン状態になり、異常電流が流れる現象である。この異常電流は、回路の誤動作または素子破壊の原因となる。このラッチアップは CMOS 構成の集積回路で特に発生し易く、内部のノイズ電圧がトリガになる。

【0005】アクティブ・マトリクス方式の液晶ディスプレイでは、スイッチング素子の周辺に配置した走査回路は CMOS の集積回路で実現している。このスイッチング素子と走査回路の規模は表示する画素数に応じて増加するので、画素数の増加とともに内部のノイズ電圧が増加し、ラッチアップが発生し易くなる。

## 【0006】

【発明が解決しようとする課題】上述したように、高画質で高信頼性の液晶ディスプレイを実現するには、電源投入又は切断時でも液晶に直流電圧が印加されないようにすることと、液晶ディスプレイを構成する半導体集積回路がラッチアップしないようにすることが重要な課題である。

【0007】本発明の目的は、高画質で信頼性の高い液晶ディスプレイを提供することにある。

## 【0008】

【課題を解決するための手段】上記目的は、電源の投入又は切断の過渡状態を検出する第一の手段、この第一の手段の信号でマトリクス状に配置したスイッチング素子を全てオン状態にする第二の手段、さらに第一の手段の信号で各スイッチング素子の入力電圧に共通電極の電圧と等しい電圧を供給する第三の手段によって達成される。

【0009】

【作用】第一から第三の手段は、電源の投入または切断の過渡状態の時に、画素電極を共通電極と等しい電圧にするので、電源電圧が過渡状態でも液晶に印加する電圧の直流成分をゼロにできる。

【0010】また、第二の手段は、電源過渡状態時にスイッチング素子を全てオン状態の一定にできるので、ノイズ電圧を低減してラッチアップの発生を押さえることができる。

【0011】

【実施例】図1は投射型液晶ディスプレイに用いる液晶ライトバルブとその駆動回路を示したものである。本回路では、液晶ライトバルブ10を映像増幅回路20、制御回路30、電源制御回路40、電源回路50で駆動する。

【0012】ここで、液晶ライトバルブ10は、画素回路1、サンプル回路2、水平走査回路3、垂直走査回路4によって構成される。

【0013】画素回路1は、垂直走査回路4からの走査信号線PV1~PVNと、これに直交するサンプル回路2からの画像信号線Vd1~VdMとの交差部に設けたMOSトランジスタ1a、保持容量1b、液晶1cから成っている。1組のMOSトランジスタ1a、保持容量1b、液晶1cは一つの画素を形成し、全体として水平方向にM個、垂直方向にN個、画素をマトリクス状に配列している。この画素配列数のM×Nは一例として640×480である。

【0014】このMOSトランジスタ1aのゲート電極には走査信号PV1~PVNが、ドレイン電極には画像信号Vd1~VdMが、またソース電極には保持容量1bの一方の電極及び液晶1cの一方の電極が接続される。さらに、保持容量1bの他方の電極は基板電位電圧VSSに接続される。液晶容量1cは画素回路1を形成した基板とこれと対向して設けられる対向基板との間に液晶を充填して形成される液晶素子の等価容量である。

【0015】水平走査回路3は、クロック信号CLK、スタート信号STA、電源過渡信号PTを入力してM相の多相信号PH1~PHMをする。サンプル回路2はMOSスイッチで構成し、MOSスイッチのゲート電極は前記出力信号PH1からPHMと、MOSスイッチのドレイン電極は映像信号VIに接続して、MOSスイッチのソース電極に画像信号Vd1からVdMを出力する。垂直走査回路4は、クロック信号CKV、スタート信号FST、電源過渡信号PTを入力してN相の多相信号PV1~PVNを出力している。

【0016】以上のように構成した本発明の液晶ライトバルブの動作を、図2に示すタイミングチャートを用いて説明する。垂直走査回路4のスタート信号FSTはフレームの先頭を示す信号であり、クロック信号CKVは走査線の切り替えタイミングを示す信号である。垂直

走査回路4は、クロック信号CKVの立ち上がりのタイミングでスタート信号FSTを取り込み、多相信号PV1~PVNを出力する。映像信号VIは、対向電極の電圧COMを基準に変化する信号であり、その極性はフレーム毎に反転している。

【0017】水平走査回路3のスタート信号STAは走査線の先頭を示す信号である。水平走査回路3は、垂直走査回路4と同様にクロック信号CLKの立ち上がりのタイミングでスタート信号STAを取り込み、多相信号PH1~PHMを出力する。サンプル回路2は、映像信号VIを多相信号PH1~PHMのタイミングで順にサンプリングし、画像信号Vd1~VdMを出力する。画像信号Vd1~VdMは、マトリクス状に配置された画素回路1に列毎に入力される。このとき、走査信号Vg1~VgNで選択された画素回路1のMOSトランジスタだけがオン状態なので選択された行の画素回路の保持容量1bに画像信号Vd1~VdMが書き込まれ、ホールドされる。保持容量1bにホールドした電圧は液晶に印加されるので、本実施例の液晶ライトバルブは、映像信号VIに応じた映像を表示できる。

【0018】つぎに、液晶ライトバルブ10の駆動回路について説明する。電源制御回路40は、電源の投入及び切断状態を示す電源過渡信号PTを発生し、水平走査回路3、垂直走査回路4、映像増幅回路20に出力する。制御回路30は、水平走査回路3を駆動するクロック信号CLKとスタート信号STAと共に、垂直走査回路4を駆動するクロック信号CLVとスタート信号FSTを出力する。電源回路50は、正負の電源VDD、VSSと共通電極電圧COMを発生し、正負の電源VDD、VSSは液晶ライトバルブ10に出力し、前共通電極電圧COMは液晶パネル10と増幅回路20に出力する。

【0019】電源過渡信号PTが電源の投入および切断を示す時、水平走査回路3と垂直走査回路4は全ての多相信号出力を“H”状態にして、画素回路1とサンプル回路2の全てのMOSトランジスタをオン状態にする。このとき、映像増幅回路20は、映像信号VIに共通電極の電圧COMを出力するので、各画素回路1の出力は共通電極電圧COMと等しい電圧になる。この結果、液晶に印加される直流電圧はゼロとなる。

【0020】この時、画素回路1のMOSトランジスタ1aとサンプル回路2のMOSスイッチは全てオン状態の一定にできるので、ノイズ電圧を低減してラッチアップの発生を押さえることができる。

【0021】つぎに、液晶ライトバルブを構成する走査回路の構成とその動作について説明する。図3は、液晶ライトバルブの水平、垂直走査回路の構成を示すものである。本回路は、Dタイプのフリップ・フロップFF、ORゲートOR、インバータINV、レベル変換回路LSから構成されている。これらの回路は、水平走査回路

3がM段、垂直走査回路4がN段の場合であり、FFを直列に接続にすることでシフトレジスタを構成している。

【0022】ORゲートORは、各フリップ・フロップFFの出力と電源過渡信号PTを入力して、出力をレベル変換回路LSに接続する。このORゲートの出力は、電源過渡信号PTが“L”(GND)のときフリップ・フロップFFの出力と等しく、電源過渡信号PTが“H”(VDD)のときフリップ・フロップFFの出力にかかわらず“H”となる。

【0023】レベル変換回路LSは、ソースをVDDに接続した2個のPMOSTランジスタ(MP1, MP2)とソースをVSSに接続した2個のNMOSTランジスタ(MN1, MN2)で構成し、ORゲートORの出力はMP1のゲートに接続するとともに、インバータINVで逆相にしてMP2のゲートに接続している。MN1, MN2のゲートは互いに接続するとともに、MN1とMP1のドレインにも接続する。

【0024】さらに、MN2とMP2のドレインを互いに接続し、この点を走査回路の出力PH(PV)としている。この構成によって、ORゲートORの出力が“H”(VDD)のとき、MP1とMN2がオフ、MP2がオンとなり、出力PH(PV)はVDDとなる。一方、ORゲートORの出力が“L”(GND)のとき、MP1とMN2はオン、MP2はオフとなり、ORゲートORの出力PH(PV)はVSSとなる。以上の結果、レベル変換回路は0-VDDの信号をVSS-VDDの信号に変換できる。

【0025】以上の様に、走査回路を図3の構成にすることによって、電源過渡信号PTで水平、垂直走査回路の出力を強制的に“H”(VDD)にして、サンプル回

$$VDD - VSS < V_z + R_1 / (R_1 + R_2) \times VDD \quad \dots (数1)$$

このように、電源電圧VDD-VSSはツェナーダイオードZDの電圧Vz、と抵抗R1, R2の値を選ぶことで検出できる。これらの値は定常時の電源電圧(VDD-VSS)に対してΔVだけ低い値に設定して、電源の過渡状態を検出する。

【0030】図6は、図5に示す電源制御回路40の電源投入と切断時の動作を示すタイミング図である。電源制御回路の出力PTは、定常時の電源電圧(VDD-VSS)に対してΔVだけ低いときに“H”、その他のときに“L”になる。この結果、電源制御回路PTは、電源投入時と電源切断時の電源が過渡状態のときに“H”の信号を出力する。

【0031】図7に映像増幅回路の一実施例を示す。本回路はビデオアンプ21、アナログスイッチ22で構成している。アナログスイッチ22は電源過渡信号PTで、ビデオアンプ21の出力と共通電極電圧COMを切り替える。ここで、映像信号VIは、電源過渡信号PTが“H”のとき共通電極電圧COMとなり、電源過渡信

\*路2と画素回路1を構成する全てのトランジスタをオン状態にすることができる。

【0026】ここで、レベル変換回路LSは、VDD(+5V)とVSS(-15V)の電源で動作する高耐圧CMOSTランジスタで構成され、FF、ORとINVは、0-VDD(+5V)の電源で動作する低耐圧CMOSTランジスタで構成されている。

【0027】図4に液晶ライトバルブの水平、垂直走査回路の他の実施例を示す。図3と異なるのは、電源過渡信号PTとスタート信号SAT(FST)を入力としたORゲートORの出力をフリップ・フロップFF1のD入力と接続し、フリップ・フロップFFの出力は直接レベル変換回路LSに接続している点である。図4においてORゲートORの出力は、電源過渡信号PTが“L”(GND)のときスタート信号SAT(FST)と等しく、電源過渡信号PTが“H”(VDD)のときフリップ・フロップFFの出力にかかわらず“H”となる。このため、電源過渡信号PTが“H”のとき、フリップ・フロップFFには“H”の信号が転送され、1フレーム期間後にはFFの出力は全て、“H”の状態となる。この結果、走査回路の出力は、図3の実施例と同様に電源過渡信号PTが“H”のとき“H”となり、図3と同様の効果が得られる。

【0028】図5は電源制御回路40の一実施例である。本回路は抵抗R1~R3、ツェナーダイオードZDとコンパレータCMPで構成される。本回路で、コンパレータCMPの出力PTが“H”になる条件は、ツェナーダイオードZDの電圧をVzとすると次式で示される。

【0029】

【数1】

号PTが“L”のときビデオアンプ21の出力となるように構成している。

【0032】図8に、電源制御回路の他の実施例を示す。本実施例ではマイクロコンピュータまたはランダムロジックのタイマで電源の投入および切断の制御信号と電源過渡信号PTを発生している。これらの信号を図9に示す。

【0033】次に、本発明の液晶ライトバルブの実装について説明する。図10と図11はセラミック基板上に実装した液晶ライトバルブの平面構造と断面構造の一例を示している。

【0034】前述の単結晶シリコン基板の表面に画素回路、水平走査回路、垂直走査回路などを形成した第一の基板100とこれを対向して設けた第二の基板300との間には液晶200を挟持する。液晶200はその周辺部に設けたシール材510によってシールされ、下界の湿度などから保護される。

【0035】第一の基板の周辺部に設けた信号端子は、

ワイヤボンディングでセラミック基板上に形成した配線パターンと接続される。また、第二の基板 300 の表面に設けた対向電極 302 とセラミック基板上の配線パターンとの接続には導電性ペースト 530 を用いている。

【0036】第一の基板上のワイヤボンディング位置は、図 10 に示すように同基板の上辺部と右辺部とし、第二の基板表面の対向電極とのコンタクト位置は右辺部としている。ワイヤボンディング位置を 2 辺以下にすることで各基板とワイヤボンディング部の距離を小さくできる。

【0037】フレキシブルプリント基板 550 は半田 540 によってセラミック基板 500 の配線パターンと接続され、液晶ライトバルブの制御信号を供給する。

【0038】図 12 は本発明の液晶ライトバルブを適用した投射型ディスプレイの構成を示す。本投射型ディスプレイは、光源 700、第一のレンズ 710、ミラー 720、第二のレンズ 730、液晶ライトバルブ 740、投射レンズ 750、スクリーン 760 で構成される。光源 700 からの光は第一のレンズ 710 でミラー 720 の位置に集光される。この光は第一のレンズ 730 で平行光とされ、液晶ライトバルブ 740 に照射される。液晶ライトバルブでは照射された光の反射状態を各液晶画素に印加する電圧によって制御し、液晶ライトバルブからの反射光を第一のレンズ 730 と投射レンズ 750 を介して、スクリーン 760 に拡大投影して画像を形成する。

【0039】また、光源からの光束を光の三原色の三つの光束に分解し、それぞれの光束に対して液晶ライトバルブを設け、三つの液晶ライトバルブからの反射光を再び合成、拡大投射することによりカラー表示の投射型ディスプレイを得ることができる。光の三原色への分解、三つの液晶ライトバルブからの反射光の合成は、例えば、ダイクロイックミラーを用いて同時に行うことができる。

【0040】以上、単結晶シリコン基板を用いた液晶ライトバルブ、及びこれを用いた投射型ディスプレイについて説明したが、本発明は単結晶シリコン基板のかわりに絶縁基板上に半導体層を形成した基板や化合物半導体

基板を用いても可能である。

【0041】

【発明の効果】本発明によれば、電源投入と切断の過渡状態のとき、マトリクス状に配置している各画素電極の電圧を共通電極の電圧と等しくすることをできるので、液晶に印加される直流電圧をゼロにできる。また、このとき画素回路およびサンプル回路のトランジスタはオン状態を保っているため電圧ノイズの発生が少なくラッチアップが起こりにくい。

【図面の簡単な説明】

【図 1】本発明の液晶ライトバルブの回路図。

【図 2】本発明の液晶ライトバルブの動作を示すタイミングチャート。

【図 3】本発明の液晶ライトバルブを構成する一実施例を示す走査回路図。

【図 4】本発明の液晶ライトバルブを構成する他の実施例を示す走査回路図。

【図 5】本発明の液晶ライトバルブに用いる一実施例を示す電源制御回路図。

【図 6】本発明の液晶ライトバルブに用いる電源制御回路の動作の説明図。

【図 7】本発明の液晶ライトバルブに用いる一実施例を示す映像増幅回路図。

【図 8】本発明の液晶ライトバルブに用いる他の実施例を示す電源制御回路図。

【図 9】本発明の液晶ライトバルブに用いる電源制御回路の他の実施例の動作の説明図。

【図 10】本発明の液晶ライトバルブの平面図。

【図 11】本発明の液晶ライトバルブの断面図。

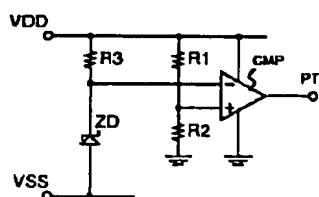
【図 12】本発明の液晶ライトバルブを適用した投射型ディスプレイの構成を示す説明図。

【符号の説明】

1…画素回路、1a…MOS トランジスタ、1b…保持容量、1c…液晶、2…サンプル回路、3…水平走査回路、4…垂直走査回路、10…液晶ライトバルブ、20…映像増幅回路、30…制御回路、40…電源制御回路、50…電源回路。

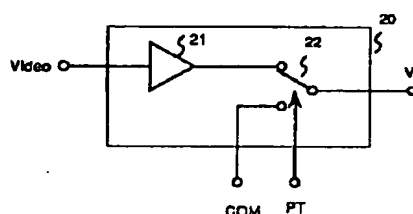
【図 5】

図 5



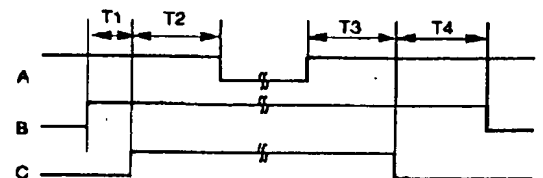
【図 7】

図 7



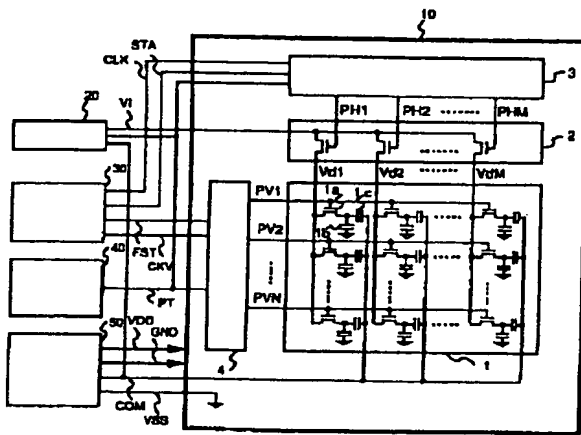
【図 9】

図 9



【図1】

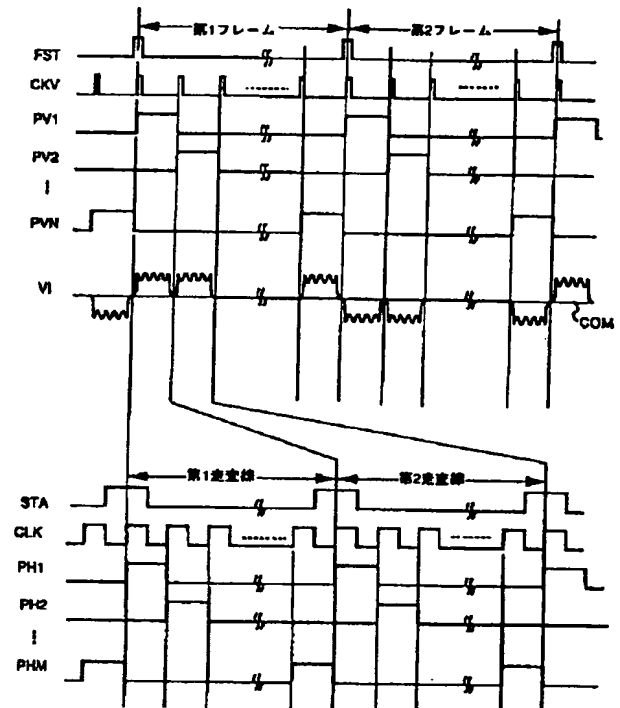
図 1



- 1…遅延回路 1a…MOSトランジスタ 1b…保持容量  
 1c…遅延容量 2…サンプル回路 3…水平同期回路  
 4…垂直走査回路 10…液晶ライトバルブ 20…映像増幅回路  
 30…制御回路 40…電源制御回路 50…電源回路

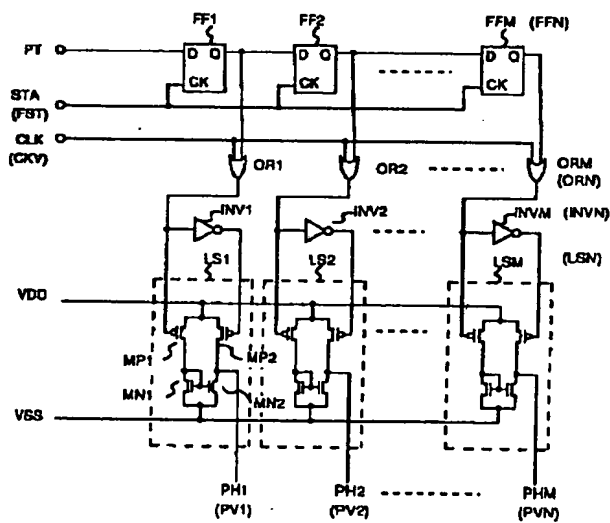
【図2】

図 2



【図3】

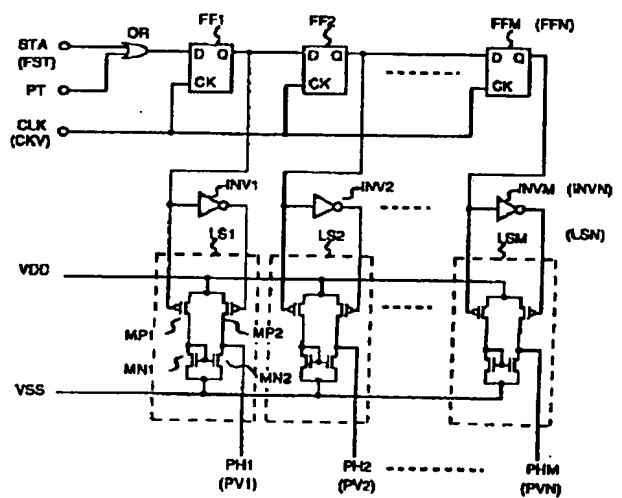
図 3



( ) は垂直走査回路の記号。

【図4】

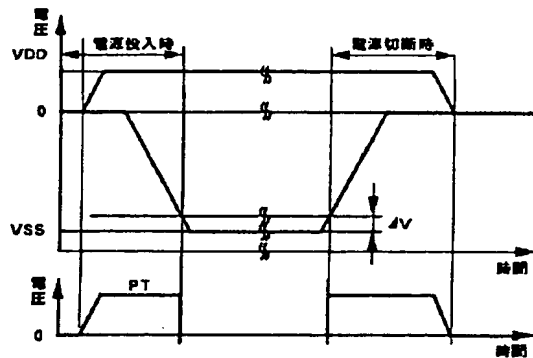
図 4



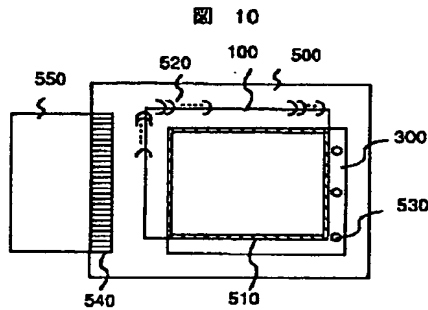
( ) は垂直走査回路の記号。

【図6】

図 6

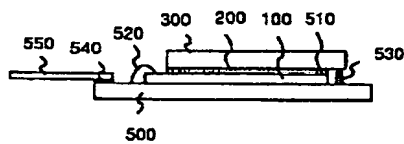


【図10】



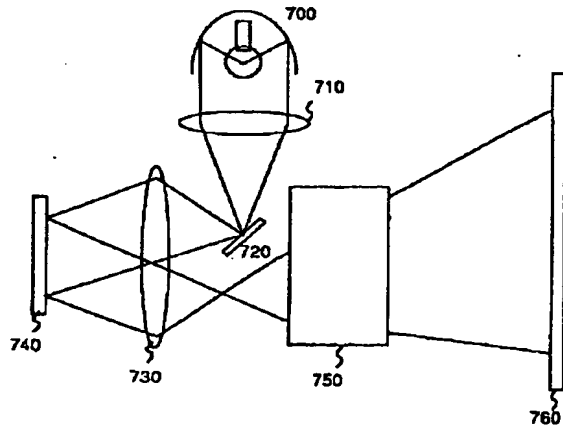
【図11】

図 11



【図12】

図 12



フロントページの続き

(72)発明者 山本 恒典  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 廣田 昇一  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内